

# 面向FTTR应用的60 GHz WLAN射频收发系统设计

祝晓思<sup>1</sup>, 张合泰<sup>2</sup>, 黄庆杰<sup>1</sup>, 田源<sup>2</sup>, 李向杰<sup>1</sup>, 秦培<sup>1</sup>, 薛泉<sup>1,2</sup>

(1. 华南理工大学微电子学院, 广东广州 511442; 2. 华南理工大学电子与信息学院, 广东广州 510641)

**摘要:** 为满足光纤入户 (FTTH) 后室内最后几米终端对无线网络超高速、低时延、高密度连接的需求, 并与 FTTR 的光纤主干形成完美互补, 基于超外差射频收发架构, 提出了一种可应用于室内多场景下的 60 GHz WLAN 射频收发系统, 并根据该系统的需求设计了一款 60 GHz 射频前端芯片。考虑到 60 GHz 毫米波在传输过程中损耗较大, 信号敏感易被干扰, 对射频前端芯片中的功率放大器、低噪声放大器、混频器等关键收发组件进行了全面设计优化, 提升各组件在 60 GHz 下的增益和噪声性能。为满足高阶调制需求, 设计了后接倍频器的电荷泵锁相环 (CPPLL) 作为收发系统的本征信号源, 并对锁相环内部的鉴频鉴相器、电荷泵、压控振荡器、分频器等组件进行了优化设计与性能评估。仿真结果表明, 各模块均可满足需求, 提升射频收发系统在高频毫米波频段下的表现。

**关键词:** 光纤入户; 60 GHz 无线局域网; 射频收发前端芯片; 电荷泵锁相环; 收发模块

中图分类号: TN929.11

文献标志码: A

DOI: 10.11959/j.issn.1000-436x.2025239

## Design of 60 GHz WLAN RF transceiver system for FTTR applications

ZHU Xiaosi<sup>1</sup>, ZHANG Hetai<sup>2</sup>, HUANG Qingjie<sup>1</sup>, TIAN Yuan<sup>2</sup>, LI Xiangjie<sup>1</sup>, QIN Pei<sup>1</sup>, XUE Quan<sup>1,2</sup>

1. School of Integrated Circuits, South China University of Technology, Guangzhou 511442, China

2. School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510641, China

**Abstract:** To address the demand for ultra-high-speed, low-latency, and high-density wireless connectivity in indoor terminal scenarios following fiber-to-the-home (FTTH) deployment, while achieving optimal complementarity with FTTR optical backbones, a 60GHz WLAN radio frequency (RF) transceiver system was proposed based on superheterodyne RF transceiver architecture for multi-scenario indoor applications. A dedicated 60 GHz RF front-end chip was developed to fulfill system requirements. Considering the significant transmission loss and susceptibility to interference inherent in 60 GHz millimeter-wave propagation, comprehensive design optimizations were implemented for key transceiver components including power amplifiers (PA), low-noise amplifiers (LNA), and mixers to enhance their gain and noise performance at 60 GHz. To support high-order modulation requirements, a charge pump phase-locked loop (CPPLL) with subsequent frequency multiplier was designed as the fundamental signal source for the transceiver system. Systematic optimization and performance evaluation were conducted for components including phase-frequency detectors (PFD), charge pumps (CP), voltage-controlled oscillator (VCO), and frequency dividers. Simulation results demonstrate that all modules meet specified requirements, significantly improving the RF transceiver system's performance in high-frequency millimeter-wave bands.

**Keywords:** FTTR, 60 GHz WLAN, RF transceiver front-end chip, CPPLL, RX/TX mode

收稿日期: 2025-08-06; 修回日期: 2025-09-12

通信作者: 秦培, qinpei7777@scut.edu.cn

基金项目: 国家自然科学基金资助项目 (No.62301224, No.U23A20288, No.62271210); 广东省自然科学基金资助项目 (No.2024A1515011982)

**Foundation Items:** The National Natural Science Foundation of China (No.62301224, No.U23A20288, No.62271210), The Natural Science Foundation of Guangdong Province (No.2024A1515011982)

## 0 引言

无源光网络 (PON, passive optical network) 和短距离无线通信技术 (如 WLAN 技术) 是光纤入户 (FTTR, fiber-to-the-home) 的 2 个关键技术<sup>[1]</sup>, 基于这两类技术的 FTTR 集成架构已经被广泛研究<sup>[2]</sup>, 架构的创新进一步提高了系统的资源利用率, 实现了分布式无线接入点 (AP, access point) 的千兆级回传与协同干扰管理。除了架构上的创新, FTTR 内部关键技术也在快速迭代。从 Wi-Fi 5 的 256-QAM 发展到 Wi-Fi 7 的 4096-QAM 调制技术, 高速率、大带宽、高调制和多链路是 WLAN 技术发展的主要趋势, 以适应 FTTR 的高吞吐和低时延应用场景。Wi-Fi 7 已经能实现 2~5 ms 平均时延。同时, 随着人工智能 (AI, artificial intelligence) 大模型、增强现实 (AR, augmented reality) 及自动驾驶等技术的快速发展, 激增的高密度数据传输需求使传统 Sub-6 GHz 频谱资源日益凸显其容量局限性。在此背景下, 毫米波 (mmWave) 频段 WLAN 技术因其超大带宽特性, 成为突破现有通信瓶颈的关键方向, 在超高速无线接入、沉浸式 XR 传输、智能车联等前沿领域展现出重要的研究价值和广阔的应用前景。

高频段集成化的 Wi-Fi 技术对射频前端收发器件提出了更高的要求 (如 60 GHz 毫米波频段), 包括高度集成、低功耗的收发器架构、低功耗和高线性度的功率放大器 (PA, power amplifier), 低噪声和低功耗的低噪声放大器 (LNA, low-noise amplifier), 宽角度高分辨率移相器以及小面积混频器, 除此之外为支持毫米波 Wi-Fi 实现高阶调制, 还要求集成超低相位噪声的本振 (LO, local oscillator) 信号源。为满足毫米波频段 WLAN 高性能要求, 本文设计了一套完整的射频收发器架构, 并对各模块进行电路仿真验证架构的可行性。

在过去十几年, 射频收发器架构的研究热点主要集中在零中频结构、超外差结构和低中频 (Low-IF, low-intermediate frequency) 结构上。零中频结构展现更高的集成度和低功耗。例如, 文献[3]使用 28 nm CMOS 工艺设计了一款 D 波段全集成零中频结构通信收发芯片。该系统架构引入了射频数模转换器 (RF-DAC, radio frequency digital-to-analog converter) 和均衡器在内的完整混合信号基带 (BB, baseband) 电路, LO 信号采用全数字锁相环

(ADPLL, all-digital phase locked loop) 和 LO 分配网络。超外差接收机受 I/Q 信号不平衡度影响小但集成度较低, 文献[4]设计了一个基于超外差收发架构的支持 IEEE 802.11ad 协议的射频收发系统, 该系统使用一个基带芯片与一个前端芯片构成主要的收发链路, 且集成了 3 个锁相环 (PLL, phase locked loop), 占地面积巨大且功耗较高。文献[5]基于超外差架构进一步进行集成化设计, 采用 90 nm CMOS 技术设计并实现了一个完全集成的 CMOS 接收器前端, 在 60 GHz 附近具有 7 GHz 的超宽带宽以及支持 IEEE 802.11ad 标准中的 4 个 2.16 GHz 接收信道。超外差架构相较于零中频结构抗干扰能力更强, 但代价是更高的功耗与面积。面向毫米波 Wi-Fi 对低功耗和高集成度的核心诉求, 本文设计仿真实验验证了一套基于 Low-IF 收发器的创新架构, 该架构能降低模拟滤波器阶数需求、有效规避零中频架构固有的直流偏移、 $\frac{1}{f}$  闪烁噪声上转换及本振泄漏等问题。

传递高速数据和高调制信号需要纯净的 LO 信号源, PLL 是产生本振信号的主流方法。低相噪和低功耗的 60 GHz 毫米波 PLL 设计一直是业界难点, 近几年实现高频段 PLL 的架构分为四类: 60 GHz 基波输出 PLL、基于 N-push 技术的 PLL、基于高次谐波提取技术的 PLL 和尾部添加倍频器的 PLL<sup>[6-10]</sup>。需要注意, 60 GHz 工作频率振荡器的谐振器所需电容量较少, 考虑到有源器件寄生电容, 因此可用于调频的电容量相对更少, 限制了振荡器调谐范围。另外, 带有 N-push 振荡器的 PLL, 存在输出信号振幅较低, 工艺、温度和电压 (PVT) 条件下 N 个振荡器之间存在较为严重的失配问题, 同时 N-push 技术在提取的大摆幅共模信号会增加  $\frac{1}{f}$  噪声上变频进一步恶化 PN 性能。基于高次谐波提取技术的 PLL 优点就是放宽分频器的频率限制, 进而提高系统的 TR 同时简化 PLL 设计。但输出高次谐波摆幅相较于基波较低, 一般需要使用高功率毫米波放大器和滤波器恢复较大的输出摆幅, 会带来额外的功耗和设计面积。

本文采取业界常用的尾部添加倍频器的电荷泵锁相环 (CPPLL, charge pump phase locked loop) 架构, 该架构存在 2 个优势: 低频运行的 PLL 功耗相对更低和低频 PLL 中的无源器件 Q 值更高, 因此

低频的相位噪声性能表现更优秀。通过利用器件非线性并在输出端滤波器选择所需的谐波来实现非线性放大或称为频率倍增功能。更重要的是该系统可调参数较多，能满足更复杂的环境变量需求。

本文主要的研究工作如下。

1) 基于 TSMC 40 nm CMOS 工艺设计 60 GHz 射频收发前端芯片中接收单元及发射单元，包括单元中的 LNA、PA、衰减器、混频器及相关配套电路。并使用相关仿真软件验证各模块的性能，证明了相关模块的可行性。

2) 基于 TSMC 40 nm CMOS 工艺设计后接倍频器的 CPPLL 电路充当收发系统的本振信号源，仿真验证环路各个模块包括鉴频鉴相器 (PFD, phase frequency detector)、电荷泵 (CP, charge pump)、压控振荡器 (VCO, voltage-controlled oscillator)、三倍频器 (FM, frequency multiplier) 和分频器 (DIV, frequency divider) 的正常工作状态，同时对环内的相位噪声进行仿真评估，证明其能满足收发器所需性能要求。

## 1 60 GHz WLAN 系统架构

### 1.1 60 GHz WLAN 系统优势

60 GHz WLAN 作为全屋互联过程中关键的一环，相比于现阶段在室内应用中常见的 5G WLAN，其主要优势如下。

1) 60 GHz 互联系统因其频率高，使其具有更宽的使用带宽，从而提高了系统的信息容量。在 5 GHz 频段，通常使用 160 MHz 信道，而在 60 GHz 频段则可以使用 1.76 GHz 信道<sup>[11]</sup>。因此，在同等的信噪比要求下，60 GHz 系统具有更高的信息传输速率。

2) 在 60 GHz 频段因电磁波波长减小导致射频天线的尺寸相对减小，在相同空间中可放置更多的天线单元从而提升系统的工作效果。同时更小尺寸

的射频天线也增加了系统智能化设计的可能。

3) 在全屋互联的场景下，5 GHz 系统因其信道容量的局限性，在有大量终端系统接入网络时，如何合理分配网络资源，并使各终端有机结合协同工作，是其难以实现的。而 60 GHz WLAN 系统在兼顾各终端信息传输任务的同时，可以使用部分空闲信道完成各终端互联的任务，使各终端可以协同工作，完善全屋智能的应用场景。

为了减少在 60 GHz 频率下因频率增加所带来的额外传输损耗，60 GHz WLAN 系统在信号收发过程中通常采用基于超外差结构或零中频结构的相控阵收发阵列。相控阵高增益天线具有更窄的波束宽度，并提供避开干扰源的能力和更有效地利用空间信道的能力，通常一个理想的相控阵天线单元可以带来  $10 \lg(N)$  的增益，其中  $N$  为相控阵天线单元的数量<sup>[12-14]</sup>。另外，常见的补偿损耗的办法还有增加 60 GHz 链路预算、增加智能增益控制组件等<sup>[15]</sup>。

### 1.2 60 GHz WLAN 系统整体架构

与低频 WLAN 系统相比，该系统针对 60 GHz 这一特定频率，以超外差收发信机架构为基础，设计一款可应用于室内的相控阵收发架构。如图 1 所示，该系统支持的射频收发频率范围为 59~65 GHz，中频信号范围为 4~6 GHz。由于 60 GHz 信号在传输过程中的高损耗，要求前端无线电收发链路在天线阵列共存，射频收发芯片靠近天线端。同时考虑到该频率下系统对增益补偿的要求，系统将前端芯片分为主芯片与子芯片两部分，主芯片靠近基带芯片放置，二者之间使用同轴传输线连接传输中频信号。因射频的相对带宽较小，在中频通路中可不使用滤波器，但也可根据实际情况在 2 个芯片间加装声表滤波器以滤除混频器产生的寄生分量。子芯片靠近天线端放置，作为信号的末级放大，并补偿通路损耗。

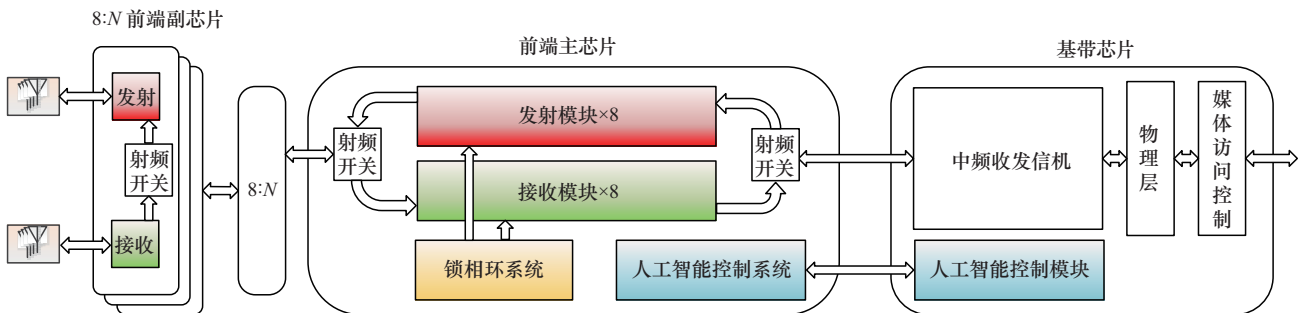


图 1 60 GHz WLAN 系统整体架构

基带芯片包括中频收发信机, AI 控制模块及物理层和媒体访问控制 (MAC, media access control) 层的部分组件, 其中中频收发信机 (IF RADIO) 包括二本振的信号源 (PLL), 中频可变增益放大器、IQ 上下混频器、中频滤波器 (Gm-C) 和数模转换组件 (ADC 和 DAC)。其接收到前端芯片的 6 GHz 中频信号后将信号变频到零频附近。基带芯片中的 AI 控制模块与前端芯片中的 AI 控制模块协同工作, 智能控制链路中各路的增益, 并根据系统所处温度实时调整链路中的增益和损耗。

### 1.3 60 GHz WLAN 射频前端芯片架构

射频前端芯片分为主芯片与子芯片两部分, 其在链路中的作用略有不同, 主芯片架构如图 2 所示。

主芯片包括 8 路接收通路模块、8 路发射通路模块、PLL 模块、AI 控制模块及相关电源稳压模

块等。其中接收通路模块包括低噪声放大器、衰减器、移相器和下混频器, 发射通路模块包括功率放大器、衰减器、移相器和上混频器。PLL 模块使用携带低频低相噪振荡器的 PLL 后接倍频器的方案, VCO 输出信号频率为 20 GHz 左右, 经三倍频器倍频至 60 GHz。主射频前端芯片中的 AI 控制模块主要有 4 个功能: 一是联通基带芯片与前端子芯片, 做到各模块间协同工作, 合理分配链路中各级的增益与衰减; 二是负责检测中频的前向及反向功率, 智能调控链路中的衰减器; 三是检测芯片的工作温度, 根据实时温度调控链路中的模块; 四是对芯片输入电压及工作电压的监测。

子芯片中相比主芯片没有了本振信号源部分, 收发通路模块中保留放大器 (LNA 和 PA) 和移相器部分, 增加接收通路模块中的限幅器, 并对收发

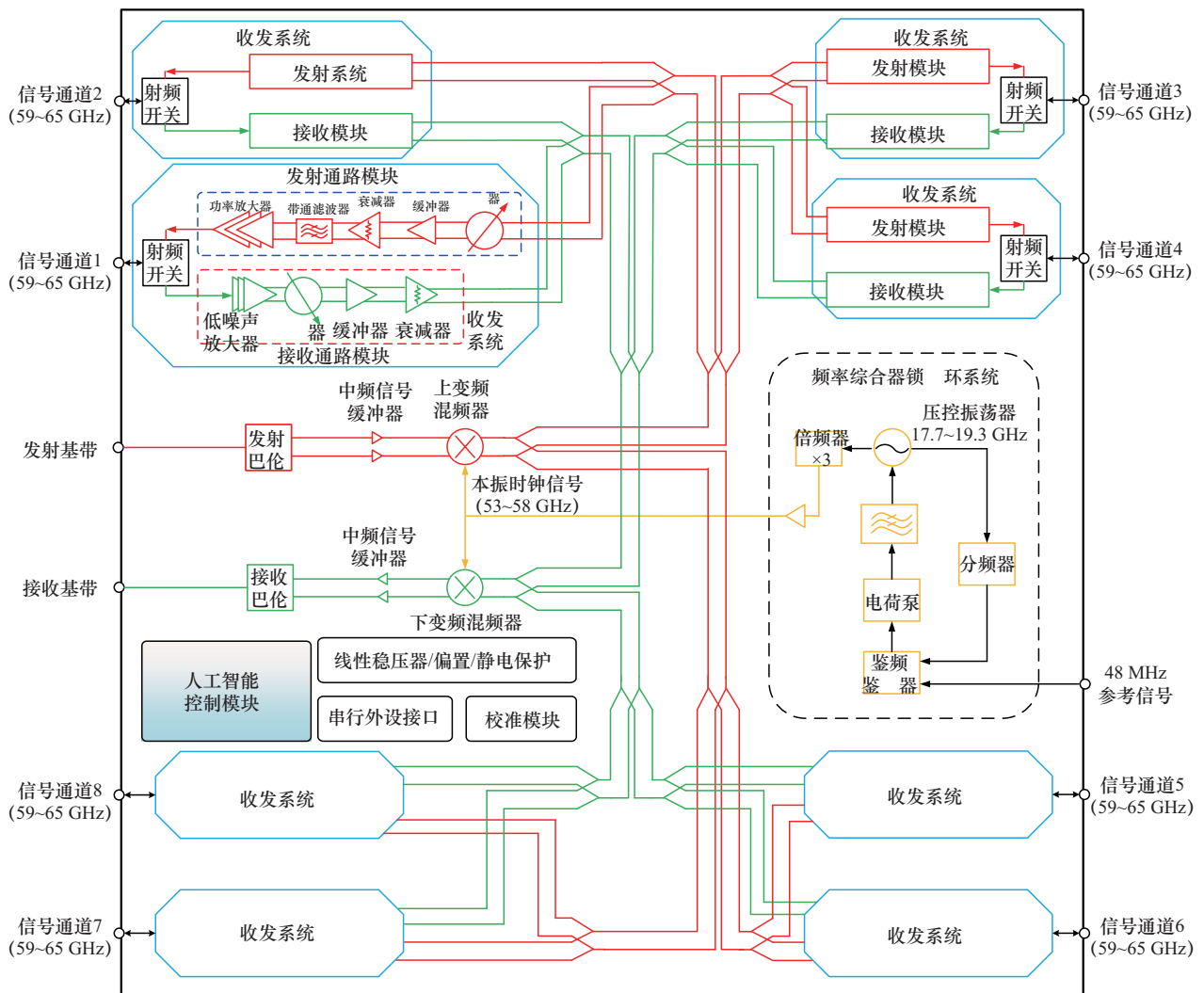


图 2 主芯片架构

通路模块中放大器的增益做出相应调整。子芯片中的移相器主要是和 AI 控制模块相互配合，对传输过程中的相位变化进行补偿。在部分对相位精度要求不高的场景下，子芯片也可以直接替换为饱和功率更高的化合物放大器。

## 2 射频前端芯片收发模块设计与仿真

本节将详细讨论收发通路模块中的组件，并对

各组件进行初步仿真。

### 2.1 60 GHz 射频接收模块设计与仿真

射频接收模块主要由 LNA、多级可控衰减器、矢量合成移相器和下变频器构成。具体的接收链路如图 3 所示。

LNA 的核心电路图如图 4(a)所示。考虑到 60 GHz 左右对 LNA 增益、稳定性和反向隔离度的要求，

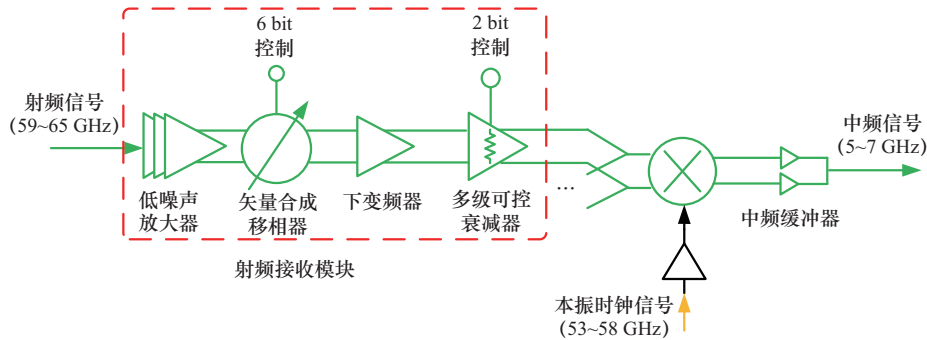
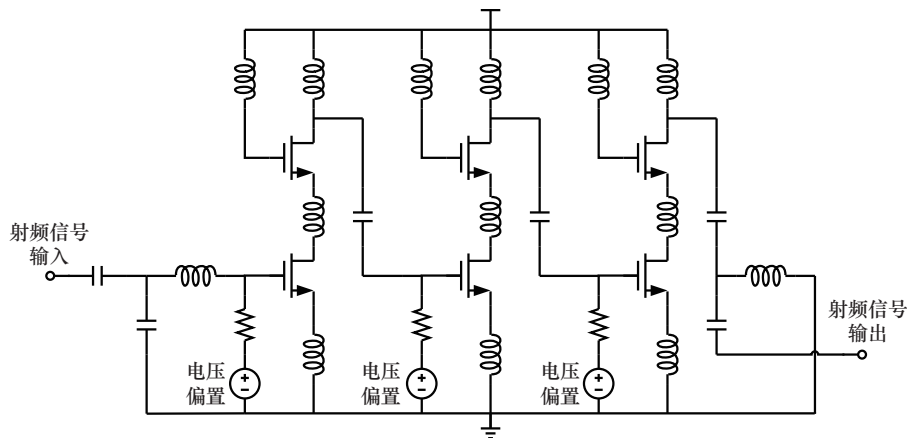
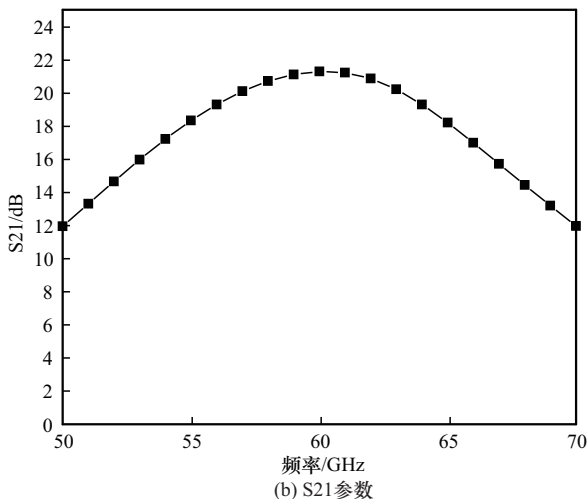


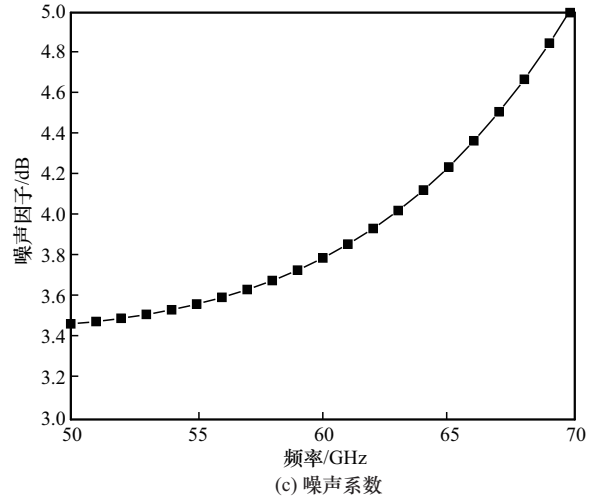
图3 接收链路



(a) LNA核心电路图



(b) S21参数



(c) 噪声系数

图4 LNA核心电路图及仿真结果

LNA 使用三级共源共栅 (Cascode) 结构, 每一级中 2 个放大管之间串联负反馈电感, 实现高频下跨导增强、带宽扩展和线性度优化, 并抵消高频下改善寄生电容造成的不稳定性。

LNA 仿真结果如图 4(b)和图 4(c)所示, LNA 在频带内增益为 18~21 dB、噪声系数为 3.7~4.2 dB。整体模块的功耗约为 17.5 mW。

多级可控衰减器核心电路如图 5(a)所示。该模块使用 4 bit 控制四段衰减网络, 衰减幅度分别为 1 dB、2 dB、4 dB 和 8 dB, 1 dB 与 2 dB 是简化 T 型网络实现, 4 dB 使用 T 型衰减网络实现, 8 dB 使用  $\Pi$  型网络实现。考虑到高频毫米波在该频率下经过

开关管时会有 2~3 dB 的衰减, 因此仅在 4 dB 和 8 dB 衰减模块中的直通部分使用开关管控制, 其余 2 个模块仅在支路加开关管控制衰减。接收模块的多级可控衰减器与发射模块的相同。

多级可控衰减器的仿真结果如图 5(b)和图 5(c)所示, 其可实现 6~21 dB 的多级衰减, 对相位影响控制在  $3^\circ$  以内。有源矢量合成移相器的移相精度小于  $6^\circ$ , 则移相器与衰减器整体对相位的精度控制在  $10^\circ$  以内。

下混频器核心电路图如图 6(a)所示。上、下混频器在设计阶段考虑到实际需求, 在中频部分加入一级隔离缓冲器 (Buffer), 该 Buffer 可以增加本振

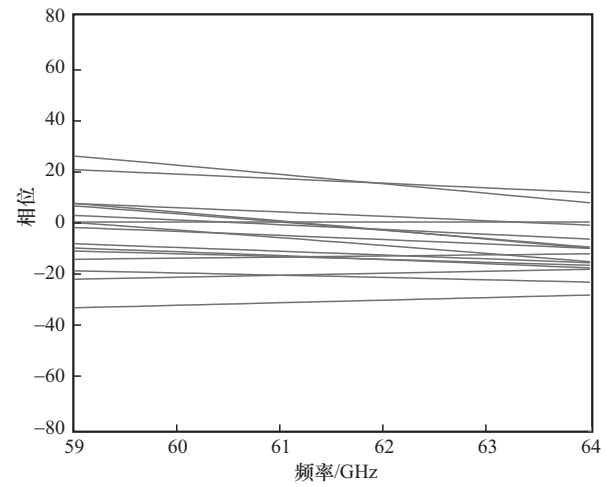
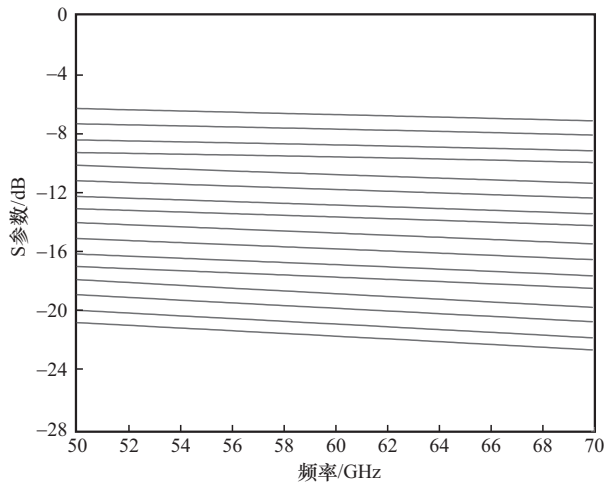
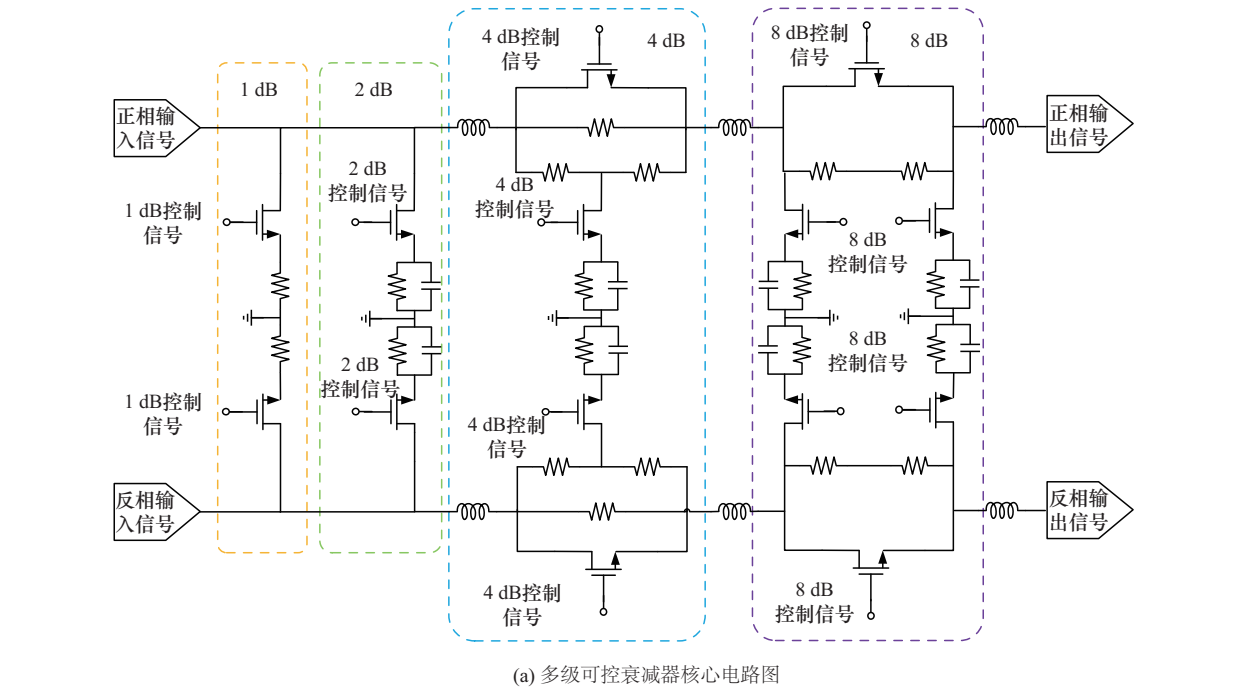
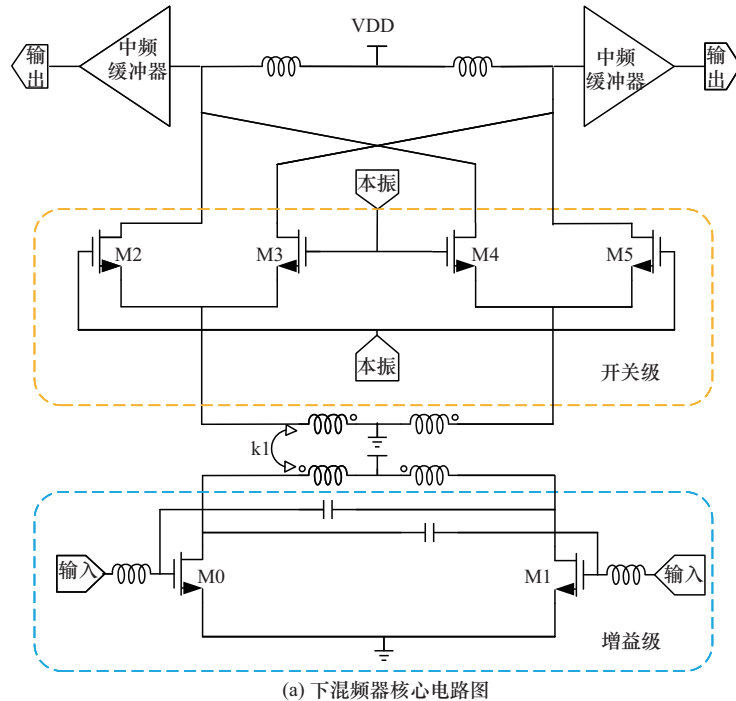
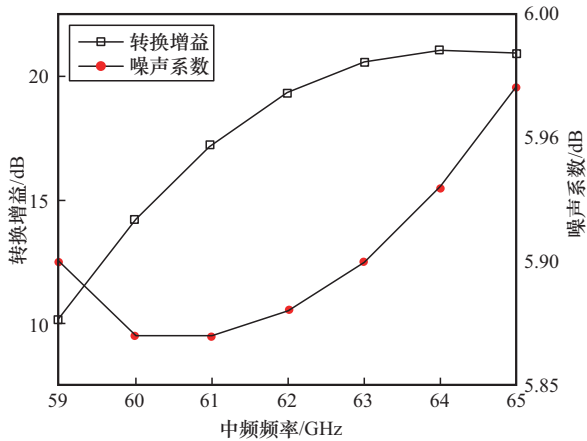


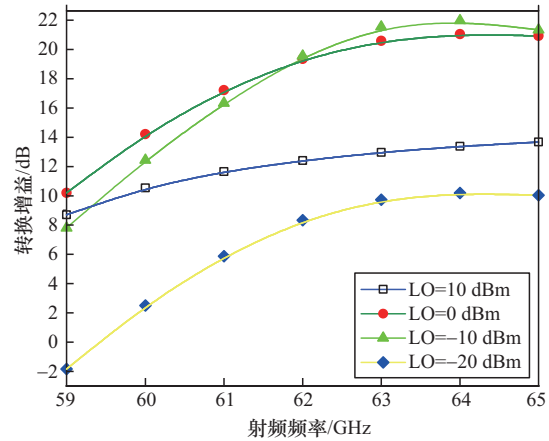
图 5 多级可控衰减器核心电路图及仿真结果



(a) 下混频器核心电路图



(b) 转换增益与噪声



(c) 本振信号功率 转换增益 影响

图6 下混频器核心电路图及仿真结果

对中频的隔离度，同时对巴伦产生的损耗有所补偿。下混频器在GM增益级与开关级之间用变压器过渡，可以增加本振对射频的隔离度，也可以提高GM增益级的放大效果。

下混频器的仿真包含下混频器核心电路、下混频器匹配电路、转换巴伦及中频Buffer的一体式仿真，根据仿真结果可以看出，模块整体的转换增益在工作频段有10~20 dB，噪声系数在6 dB左右。根据图6(c)的结果，理想的本振功率是-10~0 dBm，本振功率的大小会影响开关级的开关速率，从而影响模块整体的转换增益。

### 2.2 60 GHz 射频发射模块设计与仿真

射频发射模块主要由PA、多级可控衰减器、

矢量合成移相器和上变频器构成，具体的发射链路如图7所示。

功率放大器核心电路图如图8(a)所示。功率放大器使用两级差分结构，内加中和电容提升增益和各级间的隔离度。

功率放大器的仿真结果如图8(b)~图8(e)所示，系统在工作频带内增益为20 dB，增益在工作频带内变化较小，工作效率为25%，整体功耗为97 mW。上混频器核心电路图如图9(a)所示，相比于下变频器，上变频器引入一级驱动放大级补偿模块的损耗，考虑到上混频器中输出射频频率与本振频率接近，一级驱动放大级的引入也可以增加本振对输出射频信号的隔离度，并对混频产生的寄生信

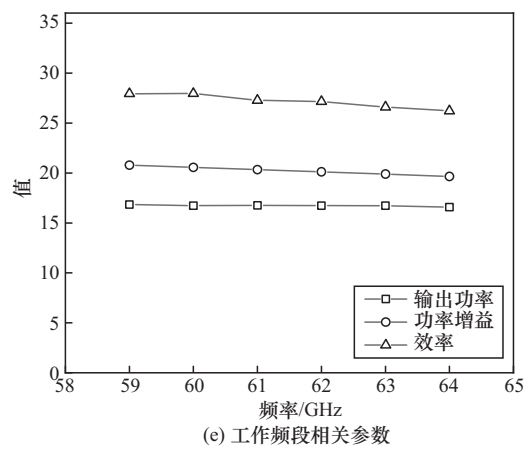
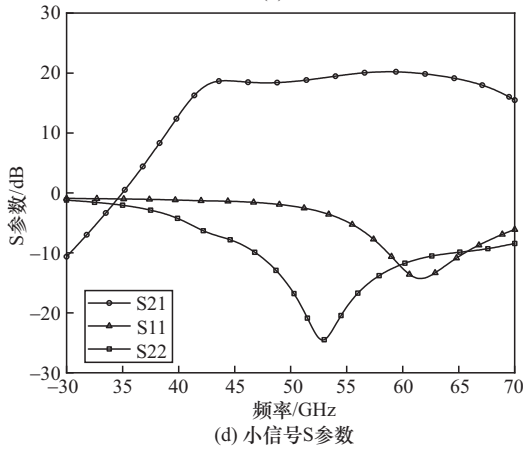
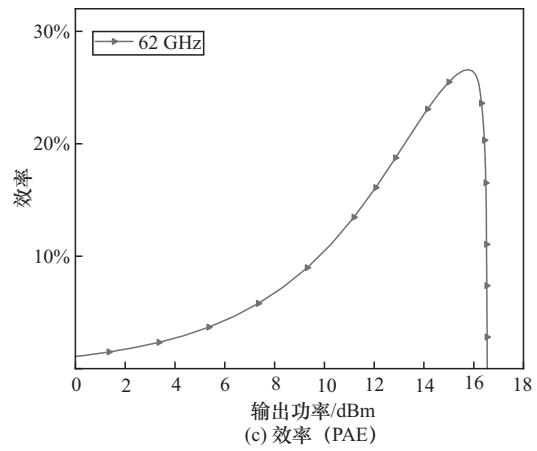
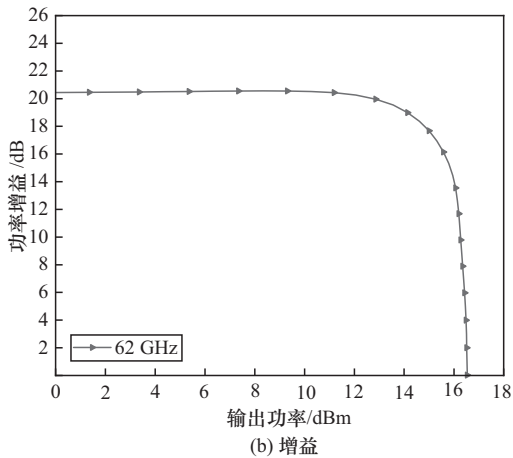
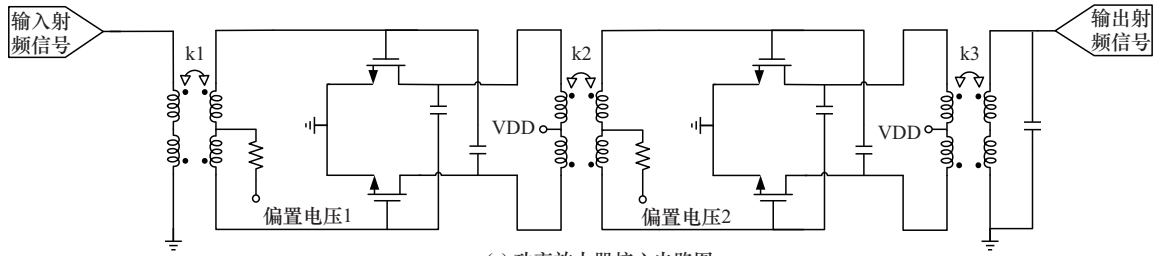
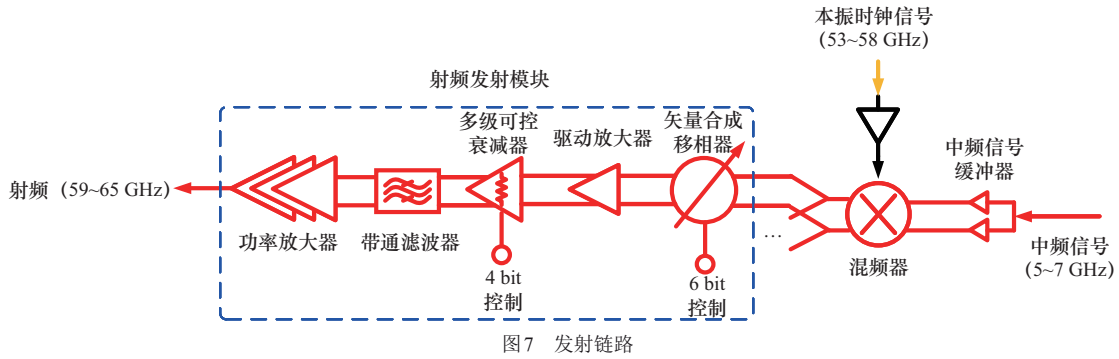
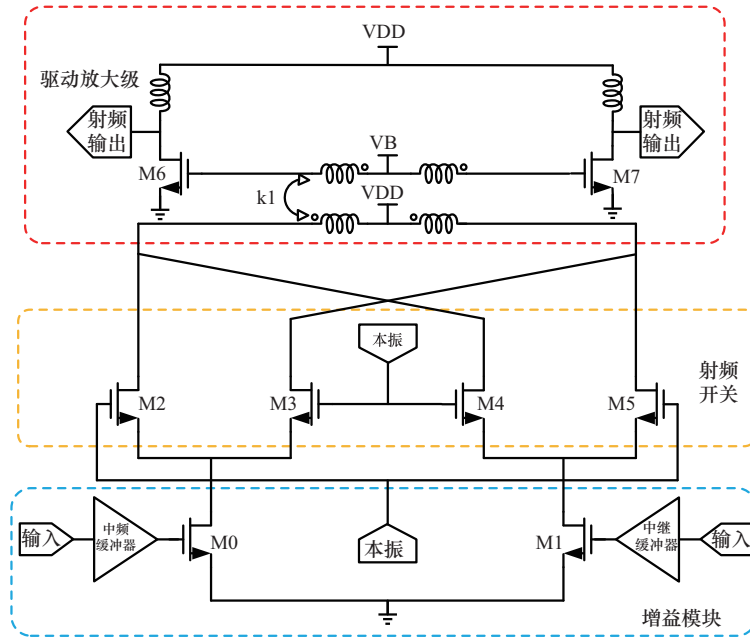


图8 功率放大器核心电路图及仿真结果

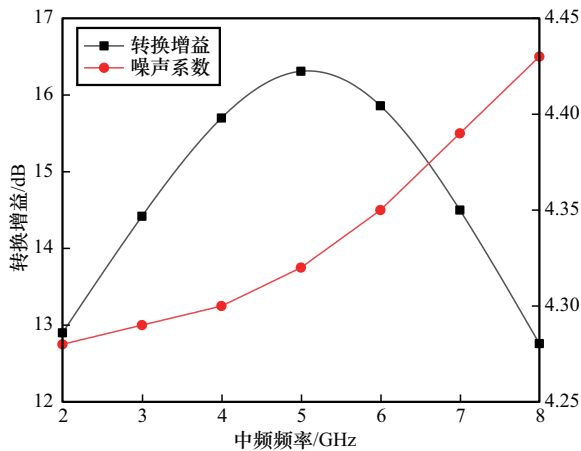
号有所抑制。

上混频器的仿真同样包含下混频器核心电路和下混频器的匹配电路等部件, 根据仿真结果可以看

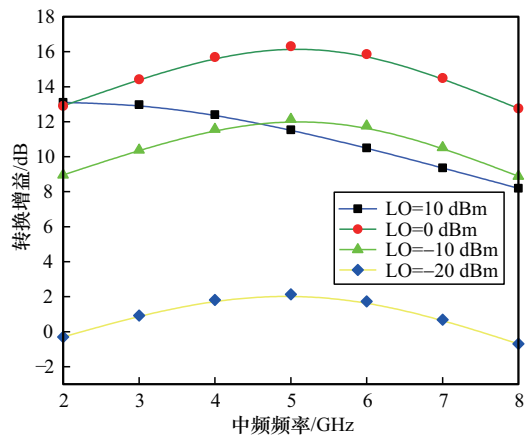
出, 模块整体转换增益有 13~16 dB, 最理想的本振功率为 0 dBm, 联系下混频器的结果, 则 PLL 模块给出的本振信号功率定为 0 dBm。



(a) 上混频器核心电路图



(b) 转换增益与噪声



(c) 本振信号功率对转换增益的影响

图9 上混频器核心电路图及仿真结果

### 3 PLL 各模块设计与仿真分析

本节将详细讨论 CPPLL 电路设计思路以及各组件，并对各组件进行初步仿真。

#### 3.1 60 GHz 的 CPPLL 电路设计

电荷泵锁相环具备结构简单、低抖动、相差锁定精确、抗干扰能力强等特点，在业界被广泛研究和应用，经典的 CPPLL 电路的基本模块由 PFD、CP、环路滤波器 (LPF, loop filter)、VCO、DIV 等电路模块组成，电路中也包含各类缓冲器 (Buffer) 用于隔直或恢复信号幅值。

图 10 为本文 60 GHz 电荷泵锁相环电路的系统原理框架。PFD 用于检测参考时钟 ( $f_{REF} = 48 \text{ MHz}$ )

和 DIV 反馈信号的相位差异，并转换为脉冲电压信号传递至 CP，该相位差信号在 CP 中转换为电流脉冲信号用于给 LPF 充放电，LPF 则将离散充放电信号换为连续的 VCO 控制电压信号  $V_{tune}$ ，进而调整 VCO 输出频率  $f_{VCO}$ ，该信号又通过 DIV 下变频为反馈信号，所以整个系统可以看作负反馈系统，PLL 的反馈回路保证输出频率在设计的范围内变化，降低输出频率对工艺、电压和温度变换的敏感度。借助传递函数可以了解 PLL 的工作特点和负反馈特性，整个系统的闭环传递函数 ( $s$  域) 可以描述为

$$H_{close}(s) = \frac{NH_{open}(s)}{1 + H_{open}(s)} \quad (1)$$

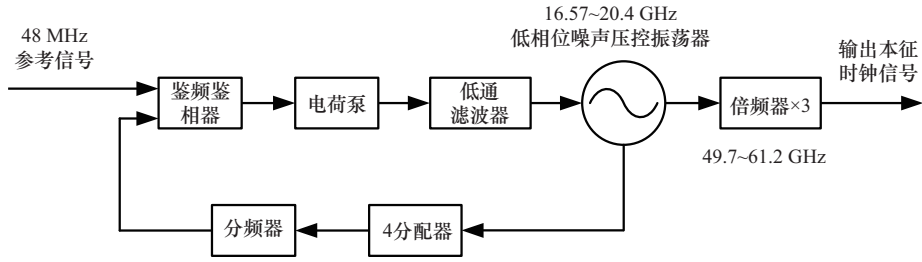


图 10 尾部添加三倍频器的 CPPLL 电路

其中,  $H_{open}(s) = K_{PFD-CP} \frac{K_{VCO}}{s} F_{LPF}(s)$  是 PLL 的开环传递函数,  $N$  是分频器分频比,  $K_{PFD-CP} = \frac{I_{CP}}{2\pi}$ ,  $K_{VCO}$  是 PFD+CP 和 VCO 的增益,  $F_{LPF}(s)$  是环路滤波器的传递函数。借助传递函数可以快速得到各个模块的 PN 贡献表达式和带通特性。调控 LPF 各个元件参数可以控制整个 PLL 系统的带宽, 带宽大可以加快锁定时间, 抑制 VCO 高通部分的相噪贡献但也会危害环路稳定性、恶化带内噪声等问题。

综上所述, 锁相环主要环路参数为环路带宽、VCO 中心频率与增益、DIV 的分频比以及 CP 充放电电流大小。考虑到实际工艺、温度和电压变化对系统的影响, 且满足 53~58 GHz 的本振信号频率需求, 设计需要预先留出足够频偏裕度, 因此本文设计的 CPPLL 中 LC-VCO 工作频段为设定的 2 倍 (16.83~20.17 GHz), 低频工作的无源器件  $Q$  值会更高, 保证低相噪的本振信号输出。同时将电荷泵充放电电流均值设定为  $I_{CP} = 100 \mu A$  以增大环路的稳定性。CPPLL 中相位噪声主要由参考时钟与 VCO 这 2 个模块贡献, 为尽可能抑制低频噪声, 环路带

宽设置为 100 kHz。环后添加自混频类型的倍频器保证足够宽的倍频范围足够覆盖 53~58 GHz。

### 3.2 PFD 和 CP 电路设计与仿真

本文采用的 CP 电路结构如图 11 所示, 图中  $V_{ctrl}$  表示控制电压, 为消除时钟贯通、电荷分享效应等问题, 本文在源极开关电荷泵的基础上添加了 2 个虚拟开关, 减少时钟贯通对输出电流的波动影响。文献[16]中设计的可编程电荷泵电路利用反馈控制和复制偏置技术实现了良好的匹配, 但上拉与下拉支路各自会出现低电平失配与高电平失配的问题。因此, 本文同时在上拉路径和下拉路径的电流镜上放置了误差放大器, 相互抵消高低配失配, 理论上可以获得更大的匹配范围。同时为了锁相环更快的锁定速度和更好的动态性能, 本文设置 50  $\mu A$ 、100  $\mu A$  和 200  $\mu A$  共 3 条受开关控制的可编程电流支路, 整体可提供 50~350  $\mu A$  的充电电流或放电电流。

经后仿验证, 该电荷泵在 TT、FF 和 SS 工艺角、-40°C~120°C 下都能正常工作。在 TT 工艺角, 电荷泵匹配范围如图 12 所示, 图中  $I$  表示电流,  $V_{OUT}$  表示电荷泵输出端电压数值, 图中各类曲

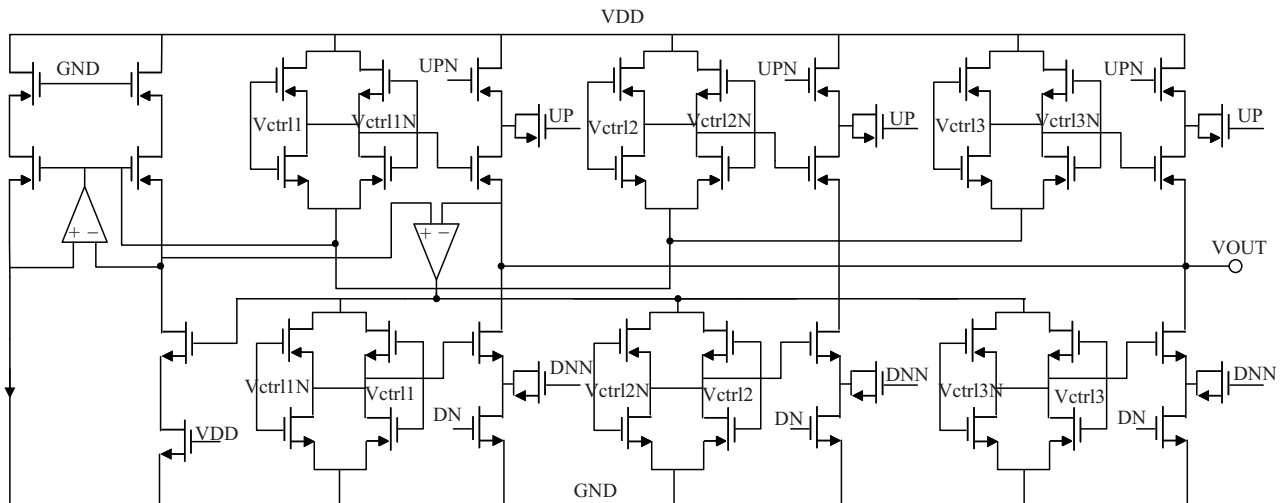


图 11 电荷泵电路结构

线表示不同的电荷泵工作电流条件下，升压支路工作电流与降压支路工作电流之间的电流失配情况。

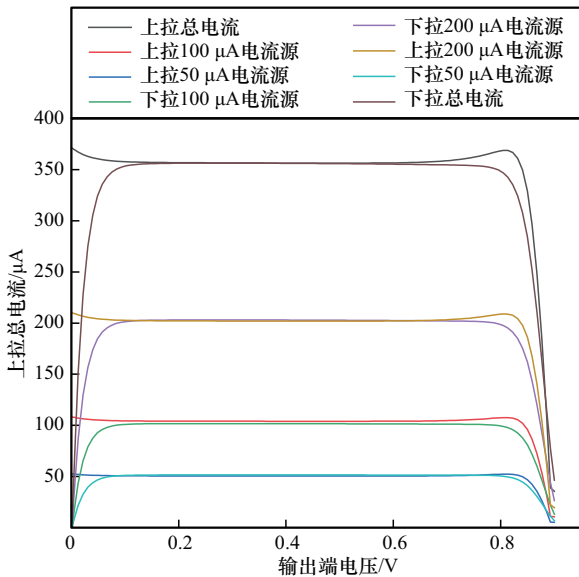


图 12 电荷泵匹配范围

该电荷泵在 0.09~0.76 V 内能实现 <1% 的电流失配误差。整体电荷泵的动态功耗为 1.65~2.75 mW，该结构可以在低功耗下保证足够大的低失配范围和灵活的可编程性，减小了电荷泵所导致的锁相环传递函数非线性，有利于降低输出频谱中的杂散。

### 3.3 VCO 电路设计与仿真

VCO 是整个 CPPLL 最重要的模块，在射频收发系统中工业界用到最广泛的电路是纯 NMOS 交

叉耦合对做负跨导的 LC-VCO，相较于 Ring-VCO，LC-VCO 可以用更低的直流功耗得到更优秀的 PN 性能。在尾部滤波的 Class-B VCO 仿真分析中，重点在尾部二次滤波器的设计<sup>[17]</sup>，后续衍生出的顶部和尾部携带变压器的 CMOS-VCO 都具备高 FoM (figure of merit) 特点<sup>[18-19]</sup>。但是这类设计存在 2 个通病：一方面顶部/尾部的滤波器电感需要额外的设计面积增加了成本；另一方面主 Tank 在共模阻抗会影响振荡器的共模谐振点位置，使共模频点出现偏移，给尾部的二次谐波滤波器的设计造成困难。Murphy 等<sup>[20]</sup>在 Class-B 的基础上设计了一种隐式共模谐振的 VCO，其特点是 Tank 同时满足基波谐振和二次谐波高阻的要求，减少对共模谐振点的影响以及设计面积。但二倍频是共模信号的特性导致二倍频电流路径的 Tank  $Q$  值较低。逆 Class F VCO<sup>[21]</sup> 不仅具备电流复用的优势，而且其基频和二倍频都是差模信号，即在同一 Tank 的差分路径上实现更高的 FoM 与相噪性能。因此，本文选取双核逆 Class F VCO 作为 CPPLL 的信号源。

同时考虑到 VCO 工作频率较高，需要减少 RF 管低  $Q$  值寄生参数对整体 Tank  $Q$  值和 VCO 调谐范围的影响，晶体管栅长为最小长度  $L=40$  nm，且为保证最大的增益驱动 VCO 达到预定波形，设定  $W=2$   $\mu\text{m}$ ，Finger=16，Multiply=2。采用图 13 所示的电路结构进行电路前仿真。对应中心频率处的 PN 性能表现以及波形图如图 14 所示，左图为仿真器得

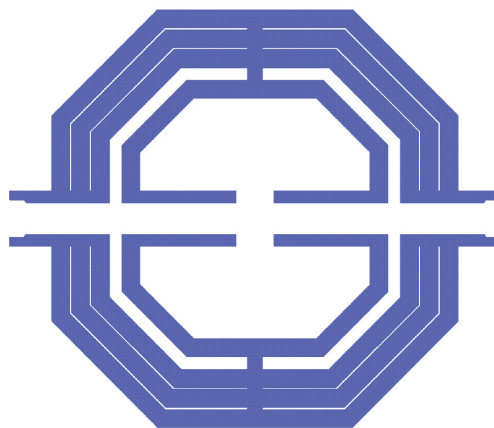
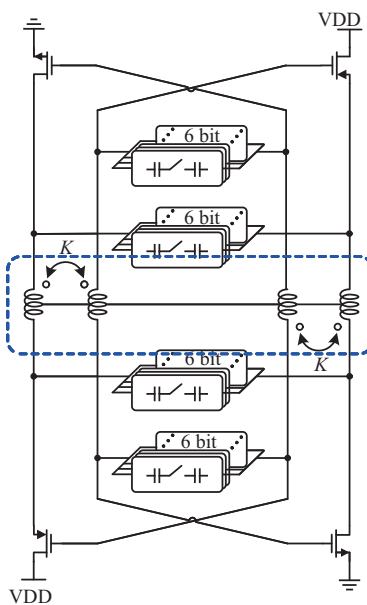


图 13 压控振荡器电路结构

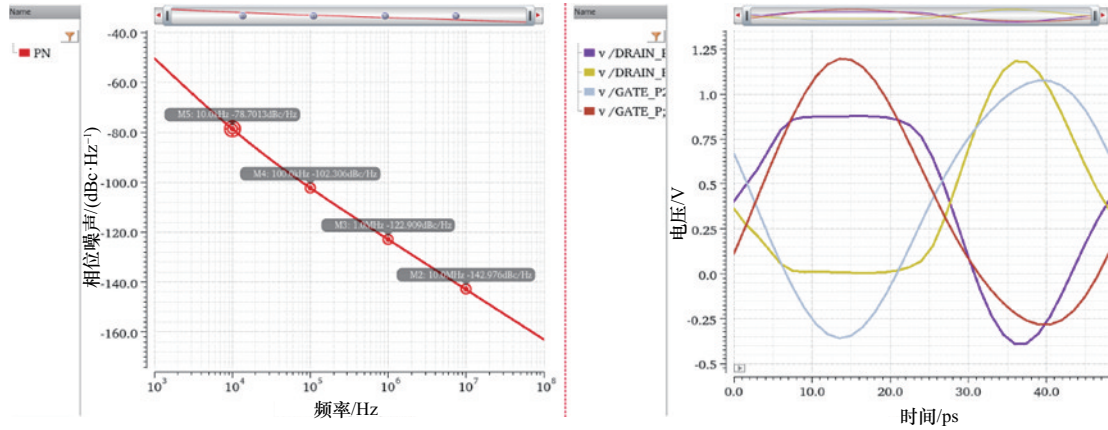


图 14 VCO 中心频率前仿性能仿真

到的距离中心频率不同频偏处的相位噪声数值，右图则是 MOS 管栅端 (Gate) 和漏端 (Drain) 的周期电压波形。

由图 14 可知，在中心频率 18.5 GHz 处 1 MHz 频偏处相位噪声性能为  $PN = -122.909 \text{ dBc/Hz}$ ，功耗  $Power = 11.42 \text{ mW}$ ， $FoM = 198.7 \text{ dBc/Hz}$ ，前仿功能正常，给后仿留出 7~8 dBc/Hz 的性能优化空间。考虑到实际工作中，VCO 会因 PVT 条件波动导致频偏，这里设定了双倍的调谐范围即从系统设定的 17.3~19.3 GHz (~9%)，调整到 16.57~20.4 GHz (~18%)，为验证该电路的正常工作范围是否达到系统所需，本文对 VCO 的控制电压  $V_T$  进行扫描，得到 VCO 的频率调节曲线如图 15 所示，横坐标为变容管的控制电压，纵坐标为工作频率。

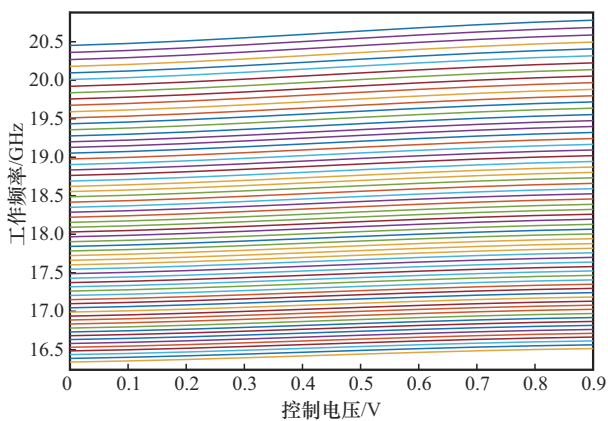


图 15 VCO 的频率调节曲线

VCO 调谐工作范围为 16.57~20.4 GHz，其中  $V_{DD} = 1 \text{ V}$ ，在中心频率 18.5 GHz 处 VCO 的调谐增益为  $K_{VCO} = 173.144 \text{ MHz/V}$ 。

全调谐频段 1 MHz 频偏处的相位噪声性能与直流功耗展示如图 16 所示，左右两图都是仿真器的图片，左图横坐标为不同比特位条件下中心工作频率处的相位噪声表现，右图则为不同比特位条件下的整体功耗表现。在 1 MHz 频偏处  $PN < -118.28 \text{ dBc/Hz}$ ，仿真的直流功耗小于  $-13.6 \text{ mW}$ ，简单计算得到  $FoM > 192 \text{ dBc/Hz}$ ，满足系统的 PN 需求。若想要进一步优化系统 PN 性能可以采用四核等多核设计或者更高 Q 值的电感，或者用功耗换取相噪性能。

### 3.4 DIV 电路设计与仿真

本文采用的多模整数分频器结构如图 17 所示，由基于电流模式逻辑 (CML, current-mode logic) 的二分频器和基于脉冲吞咽计数器的可编程分频器组成。考虑到 VCO 传递到 DIV 的输出信号频率范围为 16.83~20.17 GHz，无法直接使用真单相时钟 (TSPC, true single phase clock) 触发器，因此在进入 DIV 之前需要使用 2 个串联 CML 电路实现四分频到 4.2~5 GHz。预分频后的可编程分频器由 4/5 双模分频器、5 bit 的脉冲计数器和 2 bit 的吞咽计数器组成。为减小功耗和提高电路工作速度，其中的触发器采用内嵌逻辑门的 TSPC 触发器。

经后仿真验证，该多模整数分频器在 TT、FF 和 SS 工艺角、 $-40^\circ\text{C} \sim 120^\circ\text{C}$  下都能正常工作。分频比覆盖 288~540，能将信号分频至参考频率 48 MHz。灵敏度曲线如图 18 所示，在输入功率为 0 dBm 时带宽为 0.63~32.2 GHz。在输入功率为 -20 dBm 时带宽能覆盖 16.57~20.4 GHz。整体功耗不超过 4.85 mW，实现了低功耗大带宽的多模分频器设计，性能满足环内设计目标。

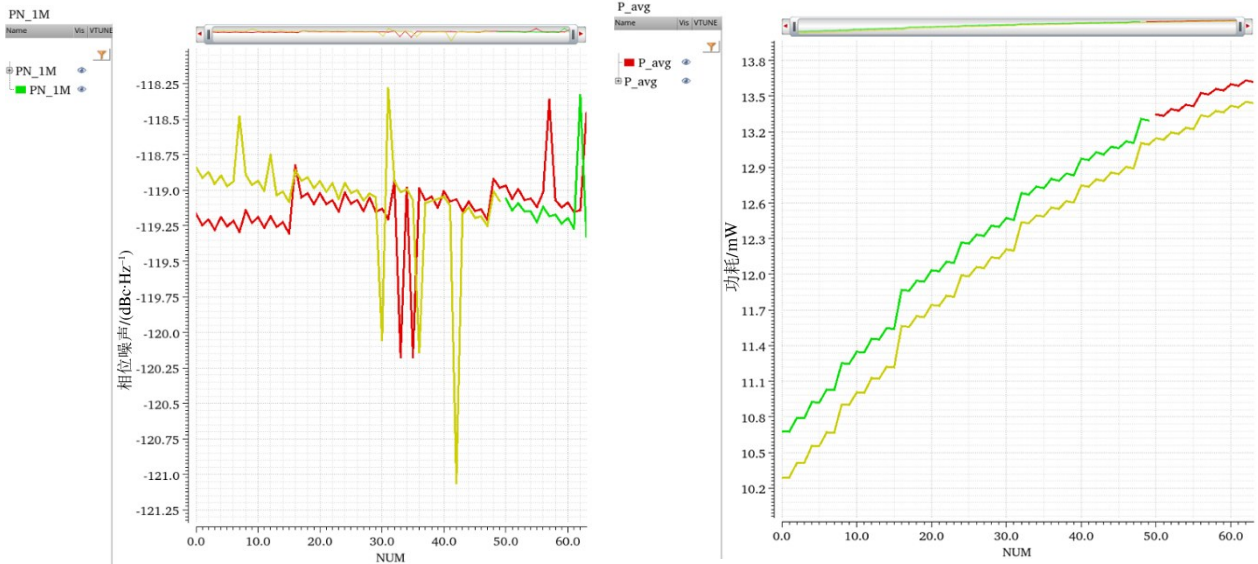


图 16 全调谐范围内 1 MHz 频偏处相位噪声性能与直流功耗展示

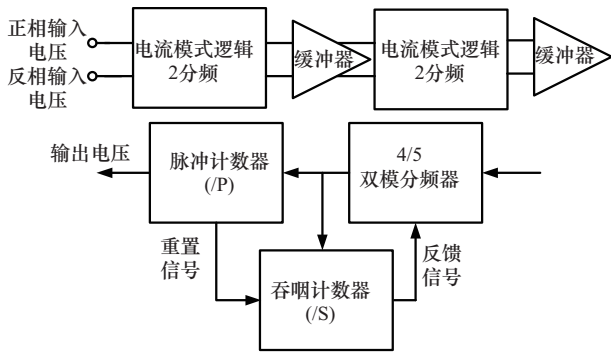


图 17 多模整数分频器结构

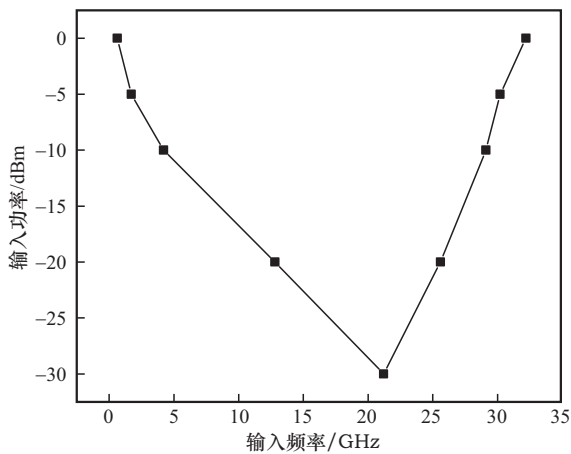


图 18 多模分频器灵敏度曲线

### 3.5 三倍频器设计与仿真

为满足项目关于频率源较高的相位噪声要求，采用第一级较低频的模拟锁相环输出低频信号源后接三倍频器件输出倍频信号的方案，第一级锁相环

在大约 20 GHz 的微波频率下采用高 Q 因子压控振荡器，使其能够实现低抖动和更宽的 FTR。后续阶段使用宽带 FM 将该低频提升到~60 GHz 的目标高频，而不会显著降低 PN。然而，这些级联架构中的主要挑战来自 FM 的设计。

注入锁定 FM 在注入信号缓冲器、脉冲发生器和谐波增强电路中消耗大量功率<sup>[22-24]</sup>，因为较强的低频注入信号对稳定的高频波段工作至关重要。此外，注入锁定的 VCO 不可避免地在高频 Q 因子降低也需要大量功率来确保任何条件下能输出低 PN 信号以及正常运行。它们还需要一个复杂的频率跟踪回路 (FTL, frequency tracking loop) 来确保在 PVT 条件下稳定运行。另外，Push-Push 式倍频器由于共模振荡更容易发生，会产生较高的闪烁噪声<sup>[25-26]</sup>。此外，它们需要一个额外的平衡器来将单端输入信号转换为差分输出，增大了设计难度与复杂程度，其不仅增大了功耗还增加了加工成本。

图 19 是三倍频器的原理图，电路主要是级联 4 个增益核心以获得足够高的增益。每一级的核心采用一个中和共源放大器，其中中和电容 (Cn) 可以通过反馈中和每个 MOS 管因栅漏两端的寄生电容泄露的输入信号，从而提高晶体管的稳定性和最大可用增益。在三倍频的调频升压设计中，最好先调试级间匹配变压器初级线圈电感、次级线圈电感以及 2 种电感之间的耦合系数 km<sup>2</sup>，使其在目标频段内存在较高的谐波增益，并增强除目标频段范

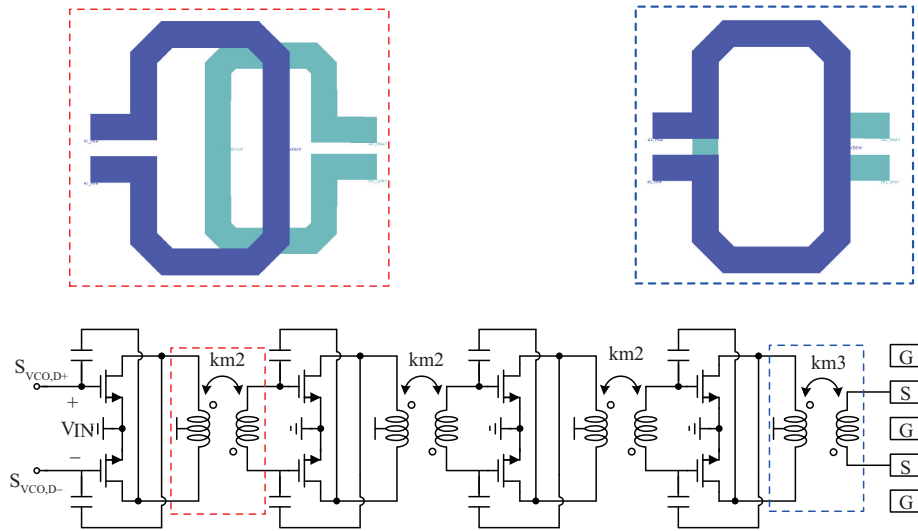


图 19 三倍频器原理

范围内的谐波抑制效果。

图 20(a)中 GMn 表示四级倍频器每一级输出端的无源增益对应的频谱曲线, 图 20(b)展示了倍频器后接的 Buffer 输出端的频谱。结果表明, 在所需频率范围内 (48~63 GHz), 三倍频信号能获得 >15 dB 的传递增益, 且目标频率外的谐波有很强的抑制效果 (传递增益 < -30 dB)。当本振的中心频率为  $f_0 = 18.5$  GHz 时输出端对  $f_0$ 、 $2f_0$ 、 $4f_0$  和  $5f_0$  存在 -115 dB、-51 dB、-30 dB 和 -90 dB 的增益也就是抑制效果, 对三倍频处存在 17 dB 的传递增益。

### 3.6 CPPLL 相噪数值表现

前几个模块仿真时提取对应 PN 曲线后, 将其代入基于传递函数的 PN 性能评估模型中, 用 MATLAB 进行拟合得到 CPPLL 的 PN 响应曲线如图 21 虚线所示, 图中给出了不同模块对系统 Jitter 的贡献

情况, 如 VCO 在 1MHz 处对系统的 Jitter 贡献为 28.81%。

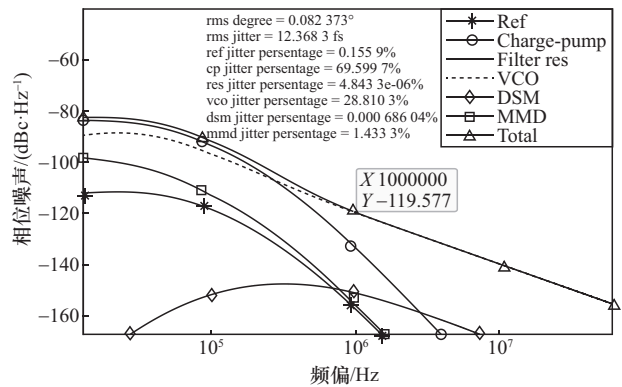
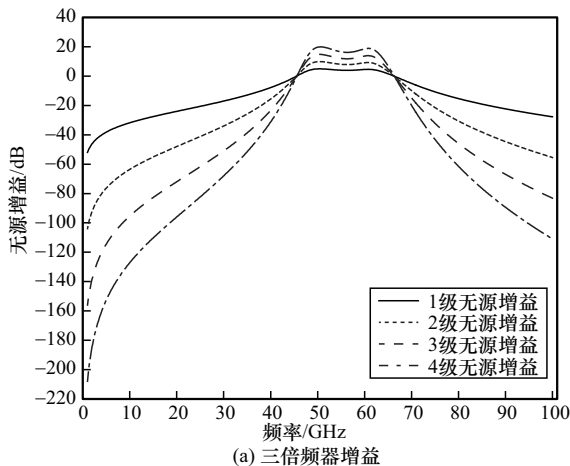
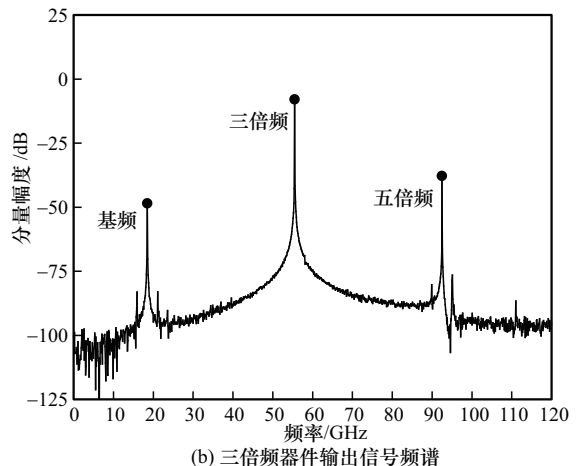


图 21 CPPLL 整体相噪评估

锁相环的带宽设定为 50 kHz, 在频偏 1 MHz 处 PN = -119.577 dBc/Hz, 同时也可以观察到 CP-



(a) 三倍频器增益



(b) 三倍频器件输出信号频谱

图 20 三倍频器仿真结果

PLL 在 1 MHz 处的 PN 主要是由 VCO 贡献, 积分算得 100 kHz~100 MHz 的抖动 (Jitter) 为 76.959 2 fs, 1~100 MHz 的 Jitter = 12.384 1 fs, 换算为 IPN = -50.2 dB。

#### 4 结束语

本文针对 FTTR 应用需求, 基于 TSMC 40 nm CMOS 工艺设计了一款基于超外差架构的 60 GHz WLAN 射频收发系统, 并完成了射频收发前端芯片的设计、优化和仿真。系统设计重点围绕毫米波频段的高损耗和高干扰特性展开, 通过优化射频收发模块中 LNA、PA、混频器等关键组件, 提升了系统在高频环境下的增益与噪声性能。此外, 为支持高阶调制方案, 本文设计并实现了一种后接倍频器的 CPPL 作为系统本振信号源, 并对 PFD、CP、VCO、DIV 以及 FM 等模块进行了优化设计。仿真结果表明, 该系统能够在 60 GHz 频段内实现稳定的射频信号收发, 各模块性能满足高吞吐、低时延的通信需求。

本文研究成果为未来毫米波 Wi-Fi 技术的发展提供了有效的技术支撑, 尤其是在高密度和低时延的室内无线连接场景下, 具备广阔的应用前景。未来的研究方向可进一步关注更低功耗的电路架构、更加紧凑的芯片集成方案, 以及适应复杂环境的自适应射频技术, 进一步提升 60 GHz WLAN 系统的实际应用价值。

#### 参考文献:

- [1] WU X M, ZENG Y, SI X S, et al. Fiber-to-the-room (FTTR): standards and deployments[C]//Proceedings of the 2023 Optical Fiber Communications Conference and Exhibition (OFC). Piscataway: IEEE Press, 2023: 1-3.
- [2] SHEN G X, LI J, CAI J H, et al. Enhancing fiber-to-the-room (FTTR) technologies: addressing key challenges and solutions (invited tutorial)[C]//Proceedings of the 2024 Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR). Piscataway: IEEE Press, 2024: 1-2.
- [3] GUAN P D, MA R C, JIA H K, et al. A fully integrated QPSK/16-QAM D-band CMOS transceiver with mixed-signal baseband circuitry realizing digital interfaces[J]. IEEE Journal of Solid-State Circuits, 2024, 59(10): 3123-3141.
- [4] BOERS M, VASSILIOU I, SARKAR S, et al. 20.2 A 16TX/16RX 60GHz 802.11ad chipset with single coaxial interface and polarization diversity[C]//Proceedings of the 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). Piscataway: IEEE Press, 2014: 344-345.
- [5] ZHANG L, ZHOU C Y, WANG H R, et al. A fully integrated 60GHz four channel CMOS receiver with 7GHz ultra-wide bandwidth for IEEE 802.11ad standard[J]. China Communications, 2014, 11(6): 42-50.
- [6] JIANG Q Y, YIN J, PAN Q, et al. A 52.3-to-67.3GHz 35.8-kHz-resolution triple-push DCO exploiting source-combining technique for third-harmonic enhancement achieving 196.4dBc/Hz peak FoMT at 10MHz offset[C]//Proceedings of the 2024 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Piscataway: IEEE Press, 2024: 91-94.
- [7] GUO H, CHEN Y, HUANG Y B, et al. 8.4 an 83.3-to-104.7GHz harmonic-extraction VCO incorporating multi-resonance, multi-core, and multi-mode (3M) techniques achieving-124dBc/Hz absolute PN and 190.7dBc/Hz FoM<sub>r</sub>[C]//Proceedings of the 2023 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE Press, 2023: 152-154.
- [8] ZONG Z R, BABAIE M, STASZEWSKI R B. A 60 GHz frequency generator based on a 20 GHz oscillator and an implicit multiplier[J]. IEEE Journal of Solid-State Circuits, 2016, 51(5): 1261-1273.
- [9] ÇATLI B, HELLA M M. Triple-push operation for combined oscillation/division functionality in millimeter-wave frequency synthesizers[J]. IEEE Journal of Solid-State Circuits, 2010, 45(8): 1575-1589.
- [10] WU Q X, DENG W, XIONG M J, et al. A 37.2-fs, -254.6-dB FoM, 47.9-to-56.4 GHz PLL using tightly coupled dual-core VCO with implicit 4th harmonic extraction technique[C]//Proceedings of the 2024 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Piscataway: IEEE Press, 2024: 203-206.
- [11] IEEE. Part 11: wireless LAN medium access control (MAC) and physical layer (PHY) specifications amendment 3: enhancements for very high throughput in the 60GHz band[R]. 2012.
- [12] NATARAJAN A, REYNOLDS S K, TSAI M D, et al. A fully-integrated 16-element phased-array receiver in SiGe BiCMOS for 60-GHz communications[J]. IEEE Journal of Solid-State Circuits, 2011, 46(5): 1059-1075.
- [13] VIDOJKOVIC V, SZORTYKA V, KHALAF K, et al. A low-power radio chipset in 40nm LP CMOS with beamforming for 60GHz high-data-rate wireless communication[C]//Proceedings of the 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers. Piscataway: IEEE Press, 2013: 236-237.
- [14] EMAMI S, WISER R F, ALI E, et al. A 60GHz CMOS phased-array transceiver pair for multi-Gb/s wireless communications[C]//Proceedings of the 2011 IEEE International Solid-State Circuits Conference. Piscataway: IEEE Press, 2011: 164-166.
- [15] SOWLATI T, SARKAR S, PERUMANA B, et al. A 60GHz 144-element phased-array transceiver with 51dBm maximum EIRP and ±60° beam steering for backhaul application[C]//Proceedings of the 2018 IEEE International Solid-State Circuits Conference - (ISSCC). Piscataway: IEEE Press, 2018: 66-68.
- [16] 梁亮. 低电压 CMOS 分数分频锁相环频率综合器关键技术研究[D]. 西安: 西安电子科技大学, 2016.  
LIANG L. Research on key technologies of low-voltage CMOS fractional frequency division phase-locked loop frequency synthesizer[D]. Xi'an: Xidian University, 2016.

- [17] HEGAZI E, SJOLAND H, ABIDI A A. A filtering technique to lower LC oscillator phase noise[J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1921-1930.
- [18] GARAMPAZZI M, MENDES P M, CODEGA N, et al. Analysis and design of a 195.6 dBc/Hz peak fom P-N class-B oscillator with transformer-based tail filtering[J] IEEE Journal of Solid-State Circuits, 2015, 50(7): 1657-1668.
- [19] GONG J, CHEN Y, SEBASTIANO F, et al. 19.3 a 200dB FoM 4-to-5GHz cryogenic oscillator with an automatic common-mode resonance calibration for quantum computing applications[C]//Proceedings of the 2020 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE Press, 2020: 308-310.
- [20] MURPHY D, DARABI H, WU H. Implicit common-mode resonance in LC oscillators[J]. IEEE Journal of Solid-State Circuits, 2017, 52(3): 812-821.
- [21] LIM C C, RAMIAH H, YIN J, et al. An inverse-class-F CMOS oscillator with intrinsic-high-Q first harmonic and second harmonic resonances[J]. IEEE Journal of Solid-State Circuits, 2018, 53(12): 3528-3539.
- [22] LI X L, LUONG H C. A fully integrated 0.27-THz injection-locked frequency synthesizer with frequency-tracking loop in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2020, 55(4): 1051-1063.
- [23] LIU X L, LUONG H C. A 270-GHz fully-integrated frequency synthesizer in 65nm CMOS[C]//Proceedings of the 2019 Symposium on VLSI Circuits. Piscataway: IEEE Press, 2019: 40-41.
- [24] WANG C C, CHEN Z M, HEYDARI P. W-band silicon-based frequency synthesizers using injection-locked and harmonic triplers[J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60(5): 1307-1320.
- [25] KIM J, YOON H, LIM Y, et al. 16.2 a 76fsrms jitter and -40dBc integrated-phase-noise 28-to-31 GHz frequency synthesizer based on digital sub-sampling PLL using optimally spaced voltage comparators and background loop-gain optimization[C]//Proceedings of the 2019 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE Press, 2019: 258-259.
- [26] KIM J, JO Y, PARK H, et al. A 12.8-15.0-GHz low-jitter fractional-N subsampling PLL using a voltage-domain quantization-error cancellation[J]. IEEE Journal of Solid-State Circuits, 2024, 59(2): 424-434.

## [作者简介]



祝晓思 (1998-), 男, 湖南常德人, 华南理工大学博士生, 主要研究方向为硅基模拟锁相环设计、集成光学器件设计等。



张合泰 (1995-), 男, 内蒙古包头人, 华南理工大学博士生, 主要研究方向为硅基毫米波射频收发芯片、射频收发系统、无人机反制设备等。



黄庆杰 (2001-), 男, 广东汕头人, 华南理工大学博士生, 主要研究方向为硅基毫米波射频收发机、射频毫米波前端设计等。



田源 (2002-), 男, 广东广州人, 华南理工大学硕士生, 主要研究方向为硅基模拟锁相环设计。



李向杰 (2002-), 男, 广东韶关人, 华南理工大学硕士生, 主要研究方向为硅基毫米波射频接收前端设计等。



秦培 (1987-), 女, 四川广安人, 博士, 华南理工大学副教授, 主要研究方向为 CMOS 射频/毫米波前端电路设计。



薛泉 (1966-), 男, 四川西昌人, 华南理工大学教授, 主要研究方向为微波/毫米波/太赫兹电路、集成电路、天线、封装和系统。